

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270363

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H01L 21/20

H01L 29/786

H01L 21/336

(21)Application number : 09-094607

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 27.03.1997

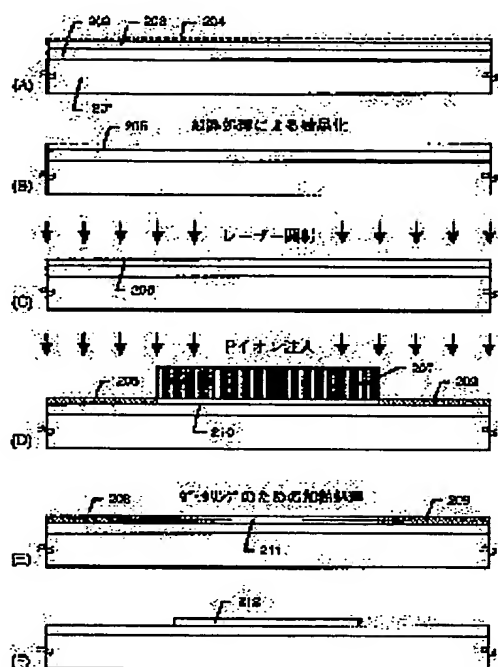
(72)Inventor : ONUMA HIDETO
YAMAZAKI SHUNPEI
NAKAJIMA SETSUO
OTANI HISASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICES

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for removing catalytic elements from a semiconductor film containing silicon, while leaving the characteristic features of low-temperature process.

SOLUTION: An amorphous film 203 containing silicon is formed on a glass substrate 201 and crystallized by use of catalytic elements. Subsequently, an impurity element which belongs to the group 15 is selectively introduced into the thus obtained crystalline silicon film to form gettering regions 208 and 209 and a non-gettering region 210. Further, the catalytic elements in the silicon film are transferred to the gettering regions 208 and 209 by heat treatment. Through these gettering steps, there can be obtained a crystalline silicon film 211 with the catalytic elements being reduced in amount to a satisfactory extent.



LEGAL STATUS

[Date of request for examination]

31.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(5)

に動きやすい状態となっている。

【0039】また、図2(B)に示す結晶化工程で得られる結晶性材料206は非晶質成分が不規則に残存する。しかし、レーザー光の照射によってその様な非晶質成分を完全に結晶化することができると結晶性は大幅に改善される。なお、このレーザー照射工程を省略することは可能である。

【0040】レーザー光の照射が終了したら、結晶性材料206の表面の酸化膜を一旦除去し、再び薄い酸化膜(図示せず)を形成する。この酸化膜は酸液雰囲気中でUV光を照射することによって得られる。そして、その上にレジストマスク207を形成する。前述の酸化膜はレジストマスク207の密着性を高める効果がある。

【0041】次にP(リン)元素のドーピング工程をプロセスドーピング法(またはイオン注入法)で行う。ドーピング条件はRF電力を10W、加速電圧を $5\sim 30\text{keV}$ (代表的には 10keV)に設定し、P元素のドーピング量は $1\times 10^{13}\text{ions/cm}^2$ 以上(好ましくは $5\times 10^{13}\sim 5\times 10^{15}\text{ions/cm}^2$)で行えば良い。

【0042】なお、後述するがP元素ドーピング注入工程の最速条件は、後に行うゲタリングのための加熱処理の条件によって変化する。従って、実施者はプロセスの見地および経済的見地から最速条件を決定しなければならぬ。現状において、本発明者らは加速電圧は 10keV とし、ドーピング量は $1\times 10^{14}\sim 5\times 10^{15}\text{ions/cm}^2$ とすることが好ましいと考えている。

【0043】本発明では結晶性材料206中に残留するニッケルの濃度に比較して、P元素の濃度が1桁以上高くなる様な条件を設定してP元素ドーピング工程を行うことが好ましい。前述の $5\times 10^{13}\text{ions/cm}^2$ というドーピング量は濃度換算すると、約 $4\times 10^{10}\text{atoms/cm}^3$ に対応する。

【0044】本発明者らの計測によれば、図2(B)の工程が終了した時点での結晶性材料206中において、残留ニッケル濃度の最高値は $1\times 10^{14}\text{ions/cm}^3$ 程度である。従って、この場合はP元素が膜中に最低でも $1\times 10^{15}\text{ions/cm}^3$ 程度以上残留するようにドーピング条件を設定すれば良い。

【0045】このP元素のドーピングは図2(D)の208、209で示される領域(以下、ゲタリング領域と呼ぶ)に対して行われる。このドーピングの結果、ゲタリング領域208、209はP元素を高濃度に含有した領域となる。また、これらの領域はドーピングされるイオンの衝撃によって非晶質化される。

【0046】また、210で示される領域(以下、被ゲタリング領域と呼ぶ)は、レジストマスク207によって保護されるためP元素はドーピングされない。従って、成膜時の状態が維持されたままの結晶性を有した領域となる。

【0047】P元素のドーピング工程が終了したら、レ

ジストマスク207を除去した後ゲタリングのための加熱処理を行い、被ゲタリング領域210の内部に残存するニッケルを、ゲタリング領域208、209に移動させる。こうしてニッケル濃度が低減された被ゲタリング領域211を得る。(図2(E))

【0048】この時、加熱処理は電熱炉中において不活性雰囲気、水素雰囲気、酸化性雰囲気またはハロゲン元素を含む酸化性雰囲気いずれかで行えば良い。また、温度は 500°C 以上(好ましくは $550\sim 650^\circ\text{C}$)とすれば良い。また、処理時間は1時間以上(好ましくは1～11時間)とすれば良い。

【0049】なお、後述するが、加熱処理の温度および時間によってゲタリング効率は大きく変化する。即ち、前述のP元素のドーピング条件と同様に、実施者がプロセスの見地および経済的見地から最速条件を決定する必要がある。

【0050】なお、現状において、本発明者らは代表的には 100°C の温度で、長時間程度のフーナーズアニール処理を行うことが好ましいと考えている。

【0051】以上の様な加熱処理工程によって、被ゲタリング領域210の内部のニッケルはゲタリング領域208、209へ(矢印の方向へ)と吸い出される。このニッケルの移動は、前述のレーザー照射によりニッケルが移動し易くなっていること、さらにゲタリング領域208、209が非晶質化していることにより助長される。

【0052】そして、パターンニングによってゲタリング領域208、209を除去することによってニッケル濃度が低減された島状パターン212が得られる。なお、図2(E)に示す被ゲタリング領域211において、ゲタリング領域208、209と隣接する周辺部はニッケル濃度が低い可能性があるため、パターンニング時に一緒に除去することが望ましい。(図2(F))

【0053】(本発明の実施条件に關して)本発明の構成要件は、①材料を含む非晶質半導体膜を加熱元素(例えばニッケル)を利用して結晶化する工程、②選択的に15度元素(例えばリン)をドーピングしてゲタリング領域を形成する工程、③加熱処理によって被ゲタリング領域内の加熱元素をゲタリング領域に移動させる工程である。

【0054】特に、②と③が本発明の最大の目的である「P元素による加熱元素のゲタリング」に関わる工程である。これらの工程において、考慮すべき代表的なパラメータとして以下の4つが挙げられる。

(a) ゲタリングのための加熱処理における処理温度
(b) ゲタリングのための加熱処理における処理時間
(c) P元素の注入工程におけるドーピング
(d) P元素の注入工程における加速電圧

【0055】本発明は上記パラメータが相互に關係して成り立ち、どれかパラメータを動かす他のパラ

メータの最速値もそれに伴って変化しうる。そこで、本発明者らが行った実験およびそこから得られた知見について以下に述べる。

【0056】まずドーピング工程を、加速電圧 30keV 、ドーピング量 $5\times 10^{14}\text{ions/cm}^2$ で行い、処理時間を2時間に固定した場合の温度依存性を説明する。図3(A)～(F)に示される写真は、それぞれ順にアニールなし、 400°C 、 450°C 、 500°C 、 550°C 、 600°C の場合の実験結果である。

【0057】本実験では、被ゲタリング領域に残存したニッケル(おそろくニッケルシリサイドとなっていた)を選択的に除去することで発生する孔の数を評価した。この孔はFPM(FIT and TOPO)をモル比で $5:0.5$ に混合した薬液と呼ばれるエッチャント中に試料を室温で1時間浸漬することによって生じる。即ち、この孔が発生する度合いが低いほど、高濃度のニッケルが残留していると言える。

【0058】なお、本実験では写真内の左中央にある $10\times 100\mu\text{m}$ のパターン(以下、線装パターンと略す)を観察している。この写真を模式的に表すと図4の線になる。図4において、401、402は被ゲタリング領域、403はゲタリング領域である。線装したパターンは401で示される領域に対応する。

【0059】図3(A)～(F)の写真を観察すると、温度が高くなるにつれて明らかに線装パターン内の孔の数が減少する傾向が見られる。この事は、ゲタリングのための温度が高くなりゲタリング効率が向上することを意味している。

【0060】この傾向をグラフにまとめたものが図5である。図5では横軸に処理温度、縦軸に線装パターンとついている。

【0061】なお、ここでのいう線装パターンとは単位面積当たり存在する孔の数であるが、ゲタリング効率は被ゲタリング領域の形状母に因る傾向を示すので絶対的な値ではない。従って、本実験では単にゲタリング効率の温度依存性の傾向を知るための指標として用いている。

【0062】図5では $10\times 100\mu\text{m}$ のパターンと参考までに 10×100 のパターンの二つについて調べた結果を示しているが、両者ともに温度が高くなるにつれて線装パターンで減少していくことが確認できる。特に、 10×100 のパターンでは $10\times 100\mu\text{m}$ のパターンよりも急激に減少する傾向が見られる。

【0063】こうして本実験の評価対象である $10\times 100\mu\text{m}$ のパターンの結果より、ドーピング工程を加速電圧 30keV 、ドーピング量 $5\times 10^{14}\text{ions/cm}^2$ で行い、ゲタリングの処理時間を2時間に固定した場合、その処理温度は高いほど良い、即ち現状では 600°C 以上であることが好ましいという結果が得られた。

【0064】ここで、P元素によるゲタリング効果は

ゲタリング領域と被ゲタリング領域との距離が問題となる。これはゲタリング現象が側面と平行な方向でのニッケルの移動によって進行することによる。

【0065】 $10\times 100\mu\text{m}$ のパターンの場合、短辺が $100\mu\text{m}$ であるのでこのパターンの中心から端部までの距離がゲタリング領域と被ゲタリング領域の距離に相当する。即ち、少なくとも $100\mu\text{m}$ という距離の範囲内では本実験の結果が適用できることを意味している。なお、他の線装パターンの結果から、実際には $100\sim 150\mu\text{m}$ 程度の距離まで本実験と同様の結果が得られると推測される。

【0066】なお、この $150\times 100\mu\text{m}$ というサイズの活性層は、実際にアクティブマトリクス型表示装置を構成するTFTの活性層パターンの一つであり、その中でも特に大きいサイズに相当する。従って、本実験結果から得られる知見は実質的にアクティブマトリクス型表示装置を構成する全てのTFTに適用できる。

【0067】また、短辺が $100\mu\text{m}$ 以上となる線装サイズの活性層は、例えばドライバ回路を構成するTFTの活性層として使用され、その場合、活性層を複数に分割する等の工夫で容易に回避することができ、また、短辺が細ければ細いほどさらに低い温度で高濃度のゲタリング効果を得られることは、図5の $10\times 100\mu\text{m}$ のパターンの結果からも明らかである。

【0068】次に、本発明者らはガラス基板の熱特性を考慮して処理温度の上限を 600°C に定め、処理時間依存性について調べた。この実験では、処理温度を 600°C に固定し、ドーピング条件は加速電圧 30keV 、ドーピング量 $5\times 10^{14}\text{ions/cm}^2$ に固定して行った。

【0069】図6(A)～(F)に示される写真は、それぞれ順にアニールなし、1時間、2時間、4時間、8時間、16時間の場合の実験結果である。なお、線装対象は温度依存性の実験と同様のパターン($10\times 100\mu\text{m}$)とし、評価方法は前述の孔の観察および線装密度で調べた。

【0070】図6(A)～(F)に示す写真の観察結果からも明らかだが、処理時間が増加するにつれて被ゲタリング領域に発生する孔の数は減少する。特に、処理時間が1時間となると完全に孔は発生しなくなる。(図6(F))この現象における本発明者らの最終的な目的は、FPM処理を施しても孔が発生しない条件の探索である。即ち、ここでは処理時間を1時間とした場合のみが目的の結晶性材料を得ることのできる条件であった。

【0072】また、図6の結果をもとに処理時間と線装密度との関係を図7に示す。図7では処理時間の増加に伴って線装密度が減少する傾向を明確に読み取ることができる。なお、フィティングした曲線から16時間を超えるあたりで孔の発生がなくなると予想される。また、短辺の細い $10\times 100\mu\text{m}$ のパターンでは、さらに処理時間

(7)

11

が短く済むことが確認された。

【0073】また、ゲッター分析)で調べた結果、加熱処理を分析(質量二次イオン分析)で調べた結果、加熱処理を行わない時のニッケル濃度が約 1×10^{16} atoms/cm³ であったのに対し、1時間処理で約 3×10^{16} atoms/cm³ にまで低減されていることが確認された。さらに、FPM処理で孔の空がなくなった1時間処理の試料はニッケル濃度が検出下限(約 5×10^{17} atoms/cm³ 以下)にまで低減されていた。

【0074】なお、ここで得られたニッケル濃度は $10 \times 100 \mu\text{m}$ のパターンの中心部 $30 \mu\text{m}$ の範囲をSIMS分析で測定した結果である。また、測定値は試料の深さ方向での中央付近における平均値(本実施例では試料が 40nm であるので $10 \sim 30\text{nm}$ の深さでの平均値)を用いている。

【0075】以上の様に、図7の $140 \times 100 \mu\text{m}$ のパターンの結果より、ドーピング工程を加速電圧 30keV 、ドーピング量 5×10^{15} ions/cm² で行い、ゲッターリングの処理温度を 100°C に固定した場合、その処理時間は10時間以上であることが好ましいという結果が得られた。

【0076】しかしながら、製造工程のスループットを考慮すると、処理時間があまりにも長いことは好ましくない。そのため、本発明者らはガラス基板の耐熱性およびスループットを考慮して、処理時間の上限を10時間(好ましくは8時間)に定めることにした。

【0077】次に、本発明者らはガラス基板の耐熱性および製造工程のスループットを考慮して、加熱処理条件を 100°C 8時間に固定し、ドーピング条件のパラメータに関する依存性を調べた。

【0078】ここでは加速電圧を 30keV に固定し、ドーピング量を 1×10^{15} ions/cm²、 5×10^{15} ions/cm²、 1×10^{16} ions/cm² で変えた場合の結果について図8(A)～(C)に、加速電圧を 10keV に固定し、ドーピング量を 1×10^{15} ions/cm²、 5×10^{15} ions/cm²、 1×10^{16} ions/cm² で変えた場合の結果について図8(D)～(F)に示す。なお、ゲッターリング効率の評価方法は前述の評価方法と同様である。

【0079】図8(A)～(C)および(D)～(F)に示す様に、 10keV の場合も 30keV の場合もドーピング量が増加するに伴って孔の数が減少する傾向が確認できる。しかしながら、加速電圧 30keV の条件では 1×10^{15} ions/cm² で完全に孔が発生しなくなったのに対し、加速電圧 10keV の条件では 5×10^{15} ions/cm² で既に孔が発生しなくなった。

【0080】また、孔の空がなくなった条件で処理した試料をSIMS分析した結果、やはりニッケル濃度が検出下限まで低減されていることが確認された。

【0081】この結果をまとめて図1のグラフに示す。図1において、縦軸はP元素のドーピング量であり、横軸はゲッターリング処理後のゲッターリング領域に残留するニ

11

ッケルの濃度である。ニッケル濃度の測定方法は前述の通りである。

【0082】図1に示す様に、現状では 10keV の場合にはP元素のドーピング量を 5×10^{15} ions/cm² としてもまだ約 3×10^{16} atoms/cm³ のニッケルが残留しているが、少なくとも 1×10^{15} ions/cm² のドーピング量で添加すればSIMSの検出下限までニッケル濃度を低減できることが確認された。

【0083】実験にはもっと低いドーピング量で検出下限までニッケル濃度が低減される可能性がある。図1では明確ではないが、本発明者らはニッケル濃度とドーピング量との関係にある相関関係があると推測している。相関関係があるとすれば、おそらくニッケルおよびリンの結晶膜中における拡散速度等が関与するであろう。

【0084】一方、現状では 10keV の場合にはP元素のドーピング量を少なくとも 5×10^{15} ions/cm² とすればSIMSの検出下限までニッケル濃度を低減できることが確認された。勿論、実際にはもっと低いドーピング量で検出下限までニッケル濃度が低減される可能性がある。

【0085】この様に 10keV と 30keV とで明らかに相違が現れた理由は、Pイオンをドーピングした際のイオンプロファイルが異なるためであることがSIMS分析で確認されている。即ち、 10keV の加速電圧でドーピングした方が試料中に添加されるP元素の濃度は実質的に高く、ゲッターリングに寄与するP元素が多いためであると推測される。

【0086】以上の様な結果から、ゲッターリングのため加熱処理を 100°C 8時間で行うという条件で目的の結晶性結膜(FPM処理で孔が空かない膜)を得るための条件として、加速電圧 30keV でドーピング量を 1×10^{15} ions/cm² 以上とする、或いは加速電圧 10keV でドーピング量を 5×10^{15} ions/cm² 以上とすることが好ましいことが確認された。

【0087】しかしながら、実験問題として加速電圧が高くなるとドーピング装置への負担が増加し、ドーピング量が増加するとスループットが低くなることから予想される。従って、現状では加速電圧 10keV でドーピング量を 5×10^{15} ions/cm² 以上とすることが最も好ましい条件であると言える。

【0088】なお前述の様に、加速電圧が 10keV の場合、ドーピング量が 5×10^{15} ions/cm² 以上であればニッケル濃度が検出下限に達していることを確認した。しかしながら、実際にニッケル濃度が検出下限に達するドーピング量はさらに低い値である可能性がある。

【0089】また、本発明者らが、TFT特性に影響を与えないレベルと考えているニッケル濃度 (1×10^{16} atoms/cm³ 以下)にまで低減させるためには、さらに低いドーピングでP元素をドーピングすれば良いと予想される。

【0090】ところで、本発明者らは比較実験としてリ

11

ンの代わりに典型的な13族元素であるB(ボロン)を用いた場合の効果を確認した。その結果を図9に示す。図9(A)はゲッターリング用不純物としてリンを用いた場合、図9(B)はボロンを用いた場合の写真である。

【0091】なお、ドーピング条件は加速電圧 30keV 、ドーピング量 5×10^{15} ions/cm² とし、ゲッターリングの加熱処理は 100°C 、8時間とした。また、ゲッターリング効果の評価方法はFPM処理による孔空きを観察した。

【0092】リンをドーピングした図9(A)に示す試料はニッケルが完全にゲッターリングされて $160 \times 100 \mu\text{m}$ のパターン内に全く孔が観察されなかった。ところが、ボロンをドーピングした図9(B)に示す試料では、パターンに関係なく全面に均一に孔が観察された。この傾向は他の13族に属する元素においても同様であった。

【0093】以上の様に、本発明が示すゲッターリング効果は15族元素(特にリン)に特有のものであって、13族元素では成しえないことが判明した。

【0094】最後に、以上に示した本発明者らによる実験結果をまとめて、リンを用いたニッケルのゲッターリング工程において、ゲッターリングのための加熱処理は温度と処理時間の二つのパラメータが重要であり、P元素のドーピング工程は加速電圧とドーピング量が重要である。

【0095】本発明者らの実験では温度は高いほど良いという結果が得られたが、低温プロセスを生かすという本発明の目的を考慮すると、ガラス基板の耐熱性によって上限温度は 700°C (好ましくは $500 \sim 600^\circ\text{C}$ 、代表的には 100°C) とすることが好ましい。

【0096】また、処理時間は長いほど良いという結果となったが、ガラス基板の耐熱性および製造工程のスループットを考慮すると、上限は8時間(好ましくは4～11時間、代表的には8時間)とすることが好ましい。

【0097】また、 100°C 8時間の加熱処理を前提としてP元素のドーピング条件を実験的に調べた結果、加速電圧を 10keV とし、ドーピング量を 5×10^{15} ions/cm² 以上とすることでニッケル濃度を検出下限にまで低減できることが確認された。

【0098】なお、ニッケル濃度を 1×10^{16} atoms/cm³ 以下にするので十分であれば、ドーピング量は 1×10^{15} ions/cm² 以上(好ましくは 5×10^{15} ions/cm² ～ 1×10^{16} ions/cm²) で十分と予想される。

【0099】(実施例2) 本実施例では実施例1と異なる手段で非晶質半導体膜の結晶化を行う例を図10を用いて説明する。なお、この結晶化手段に関する詳細は特開平7-130117号公報記載の実例2を参照すると良い。

【0100】まず、図10(A)において、301はガラス基板であり、その上に下地膜302、厚さ 10nm の非晶質結膜303を形成する。また、その上に酸化珪素

11

膜でなるマスキング絶縁膜304を形成し、酸化珪素(本実施例もニッケルとする)を選択的に添加するための開口部305を設ける。

【0101】この状態で酸蒸雰囲気中においてUV光を照射し、非晶質結膜303の露出表面に選択的性質の極めて優れた酸化膜(図示せず)を形成する。次にニッケルを 100ppm (重量換算) で含有したニッケル酢酸塩溶液をスピンコート法により塗布し、非晶質結膜303の表面に極めて薄いニッケル含有層306を形成する。(図10(A))

【0102】図10(A)に示す状態を得たら、酸蒸雰囲気中で 100°C 、4hrsの加熱処理を行い、非晶質結膜303を結晶化する。非晶質結膜303の結晶化は、ニッケルを添加した領域から膜面と平行な方向(横方向)に進行する。(図10(B))

【0103】なお、この結晶化工程に従えば斜状または柱状の結晶の集合体でなる多結晶シリコン膜(ポリシリコン膜)が形成される。本発明者らはこの様に結晶化した領域を構成成長領域と呼ぶ。

【0104】また、この時、結晶化後の膜は、①ニッケルの添加領域307(結晶成長領域)、②側成長領域308(結晶性結膜)、③側成長が及ばなかった領域309(非晶質結膜)の三つの領域に分類される。なお、最終的に必要とするのは側成長領域308のみであるので、以下の説明において他の領域の説明は略す。

【0105】次に、得られた結晶化後の結膜に対してレーザー光の照射を行う。これにより側成長領域308は大幅に結晶性が改善された結晶性結膜310となす。本実施例ではKRFエキシマレーザーを用いる。(図10(C))

【0106】レーザー光の照射が終了したら、レジストマスク311を形成して、P(リン)元素のドーピング工程を行う。なお、ドーピング条件は実施例1に従って実施者が適宜決定すれば良い。また、後のゲッターリングのための加熱処理の条件を考慮して決定することが好ましい。(図10(D))

【0107】本実施例ではこのドーピング工程をRF電力 1W 、加速電圧 10keV 、ドーピング量 5×10^{15} ions/cm² で行う。このP元素のドーピング工程によりゲッターリング領域312、313およびゲッターリング領域314が形成される。

【0108】P元素のドーピング工程が終了したら、レジストマスク311を除去して加熱処理を行い、ゲッターリング領域314の内部に残存するニッケルを、ゲッターリング領域312、313の方に(矢印の方向に)移動させる。こうしてニッケル濃度の低減されたゲッターリング領域315が得られる。(図10(E))

【0109】この時、加熱処理は実施例1に従って実施者が適宜決定すれば良い。ただし、前述の様にガラス基板の耐熱性を考慮して、処理温度および処理時間の上限

(10)

15

を設定しなければならぬ。

【0110】そして、パターンニングによってゲタリング領域312、313を除去することで十分にニッケル濃度が低減された島状パターン316を得る。この時、ゲタリング領域312、313と隣接する周辺部も一緒に除去することが好ましい。(図10(F))

【0111】本実施例の結晶化手段を用いた場合、図10(B)に示す結晶化工程の後に得られる成長領域308は、内側のニッケル濃度が直接ニッケルを添加した領域に比べて低いという特徴がある。

【0112】即ち、実施例1に示した結晶化手段より、もともとゲタリング領域に含まれるニッケル濃度が低い場合、ゲタリング処理の処理温度を低くしたり、処理時間を短くするなど、プロセス的なマージンが増す。

【0113】(実施例3) 本実施例ではNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS回路を製作する工程例について説明する。

【0114】図11(A)において、11はガラス基板、12は下地膜、13はNチャネル型TFTの活性層、14はPチャネル型TFTの活性層である。活性層13、14は例えば図2(F)の島状パターン212で形成すれば良い。

【0115】次に、プラズマCVD法または成膜熱CV法により酸化珪素膜を150nmの厚さに成膜し、ゲイト絶縁膜15を形成する。(図11(A))

【0116】次に、アルミニウムを主成分とする金属膜を成膜し(図示せず)、パターンニングによって後のゲイト電極の原型を形成する。次いで、本発明者らによる特開平133118号公報記載の技術を利用する。同公報記載の技術を利用することで多孔質状の絶縁膜16、17の形成が可能となる。図11(B)に、ゲイト電極20、21、多孔質状の絶縁膜16、17をマスクとしてゲイト絶縁膜15をエッチングし、ゲイト電極22、23を形成する。そしてその後、多孔質状の絶縁膜16、17を除去する。こうしてゲイト絶縁膜22、23の露出が露出した状態となる。(図11(B))

【0117】次に、N型を付与する不純物イオンをイオンプランテーション法またはプラズマドーピング法を用いて2回に分けて添加する。本実施例では、まず1回目の不純物添加を高加速電圧で行い、 n^+ 領域を形成する。

【0118】次に、加速電圧が高いので不純物イオンは露出した活性層表面だけでなく露出したゲイト絶縁膜の下部にも添加される。この n^+ 領域は後のLDD領域(不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ 程度)となるようにドーピング量を設定する。

【0119】さらに、2回目の不純物添加を低加速電圧で行い、 n^+ 領域にゲイト電圧(V_g)、縦軸にドレイン電流

16

で行い、 n^+ 領域を形成する。この時は加速電圧が低いのでゲイト絶縁膜がマスクとして機能する。また、この n^+ 領域は後のソース/ドレイン領域となるのでシート抵抗が500Ω以下(好ましくは300Ω以下)となる様に調整する。

【0121】以上の工程を経て、Nチャネル型TFTのソース領域24、ドレイン領域25、低濃度不純物領域26、チャネル形成領域27が形成される。なお、この状態ではPチャネル型TFTの活性層もNチャネル型TFTの活性層と同じ状態となっている。(図11(C))

【0122】次に、Nチャネル型TFTを覆ってレジストマスク28を設け、P型を付与する不純物イオンの添加を行う。この工程も前述の不純物添加工程と同様に2回に分けて行う。ただし、この場合にはN型とP型に反転される必要があるもので前述のNチャネル型TFTの工程よりも2～3倍程度の不純物イオンを添加しなくてはならない。

【0123】この様に、Pチャネル型TFTのソース領域29、ドレイン領域30、低濃度不純物領域31、チャネル形成領域32が形成される。(図11(D))

【0124】以上の様にして活性層が完成したら、フーエスアニール、レーザアニールまたはランブアニーにより不純物イオンの活性化およびイオン添加時の損傷の回復を図る。

【0125】次に、周囲絶縁膜33を500nmの厚さに形成する。周囲絶縁膜33としては酸化珪素膜、窒化珪素膜、酸化珪素珪素膜、有機珪素膜のいずれか或いはそれらの複合膜を用いることができる。

【0126】そして、コンタクトホールを形成してソース領域34、35、ドレイン領域36を形成して図11(E)に示す状態を得る。最後に、水素雰囲気中で熱処理を行い全体を水素化してCMOS回路が完成する。

【0127】本実施例で示すCMOS回路はインバータ回路とも呼ばれ、半導体回路を構成する基本回路である。この様なインバータ回路を組み合わせたことにより、NAND回路、NOR回路の様な基本論理回路を構成したり、さらに複雑なロジック回路を構成することができ。

【0128】また、以上の様に形成したTFTはチャネル形成領域27、32やその両端の接合部にニッケル等の触媒元素を殆ど含まないため、その様な触媒元素が電気特性に悪影響を与えることがない。従って、信頼性の高いTFT、CMOS回路、さらには半導体回路を構成することが可能である。

【0129】次に、本発明者ら利用したTFTの電気特性(T_{FT}特性とも呼ばれる)と本発明者ら利用しないTFTと電気特性を比較して説明する。ここで示すTFT特性とは横軸にゲイト電圧(V_g)、縦軸にドレイン電流

17

(10)の対数をとってプロットしたグラフであり、Id-V特性(Id-V_g曲線)とも呼ばれる。

【0130】図12(A)、(B)はどちらともNチャネル型TFTのTFT特性であり、図12(A)はゲタリング処理を施したTFT、図12(B)はゲタリング処理を施さないTFTの電気特性である。なお、図12(A)、(B)はどちらとも任意の30個のTFTについて測定し、その結果を平均して一つのグラフに表している。

【0131】また、図12(A)、(B)はそれぞれ二つの曲線が示されているが、全体的に高い値を示している方がドレイン電圧(V_d)を14Vとした場合のデータである。また、他方がドレイン電圧を1Vとした場合のデータである。また、ゲイト電圧は-10V～10Vの範囲で逆数的に変化する様に与えられ、それに応じてドレイン電流の値が変化する。

【0132】まず、図12(A)について説明する。図12(A)に示す様なNチャネル型TFTの場合、約-10V～0Vの範囲でTFTがオフ状態にあるが、若干のオフ電流81(V_d=14Vの場合)、82(V_d=1Vの場合)が観測される。この値は小さければ良い。

【0133】また、ゲイト電圧が約0Vにさしかかるとドレイン電流が急激に増加する。これはTFTがオン状態に切り替わることと意味しており、この時のId-V_g曲線の変化が急峻であるほど高いスイッチング性能を有していることが判る。

【0134】そして、ゲイト電圧が約-10Vの範囲ではTFTがオン状態にあるため、オン電流83(V_d=14Vの場合)、84(V_d=1Vの場合)が流れる。このオン電流83、84は次第に飽和して一定の値を示す。

【0135】次に、図12(B)においても同様にオフ電流85(V_d=14Vの場合)、86(V_d=1Vの場合)およびオン電流87(V_d=14Vの場合)、88(V_d=1Vの場合)が確認される。ここで注目すべきは、オフ電流の挙動が明らかに図12(A)のオフ電流と異なる点である。

【0136】即ち、図12(A)ではオフ電流81、82ともに比較的に平坦な特性を示している一方、図12(B)では特にオフ電流86のバラツキが著しいものと

なっている。

【0137】本発明者らの知見によれば、TFTの活性層中にニッケル等の触媒元素が残留すると偏折して電流のリークパスを形成する。そして、それを含む活性層でTFTを構成した場合に上述の様なオフ電流のバラツキが発生すると考えられる。

【0138】図12(B)に示すTFTの電気特性はまさにその状態を示しており、活性層中の触媒元素によりオフ電流が漏らつたものと考えられる。しかしながら、本発明者ら利用して活性層中の触媒元素をゲタリングした図12(A)に示す様にオフ電流のばらつき

18

きが明らかに防止されていることが判る。

【0139】なお、図12ではNチャネル型TFTについてのみ説明したが、Pチャネル型TFTにおいても同様の結果が得られている。

【0140】そこで、図12(A)および図12(B)に示した電気特性を数値化したグラフを図13(A)、(B)に示す。なお、図13(A)に示すグラフはオフ電流図、図13(B)に示すグラフはモビリティ値(電界効果移動度)の正規化分布を表している。540個のTFTについてのデータを統計している。

【0141】この様なグラフはTFT特性のパラメータを評価する上で有効である。例えば、図13(A)を見ると、ゲタリングありの場合には殆どのオフ電流値が数pA～数十pA程度のバラツキ内に収まるのに対し、ゲタリングなしの場合には数nA～数十nAのパラツキが観測される。

【0142】即ち、データ群を線と見なすと、その線が立っているほどバラツキが小さく、正規分布(ガウシアン分布)に従うと見なせる。逆に、その線がぼけているほどバラツキが大きくなり、正規分布からはずれていると見なせる。

【0143】従って、図13(A)ではゲタリングありの場合には正規分布に従うが、ゲタリングなしの場合には正規分布に従わないことが判る。即ち、ゲタリングなしの場合、540個のTFTのうち、約10%(430個程度)は10pA程度の値に収まるが、残りの約110個のTFTは1～1桁も大きなものとなってしまっていることを示している。

【0144】この様な結果は、上述の様な理由により結晶化を助長する触媒元素の偏折によるリークパスの形成が、ゲタリング処理によって改善されたことを顕著に表していると考えられる。

【0145】また、図13(B)に示すモビリティ値のデータ群では、明らかにゲタリング処理を行った方がバラツキが小さいことが判る。なお、ゲタリングの有無でモビリティ値の最大値は殆ど変わらないが、ゲタリングなしの場合、極端にモビリティ値の小さいTFTが存在する確率が高いことが判る。

【0146】この事は、ゲタリングなしの場合、TFTの活性層(特にチャネル形成領域)においてキャリアの移動を妨げる高いエネルギー障壁が存在することを示唆しているものと推測される。

【0147】この点について、本発明者らは次の様に考えている。通常、ポリシリコン膜等に含まれる結晶粒界では結晶粒同士の間隙の整合性が悪く、高いエネルギー障壁を形成している。これがTFT動作時のキャリアの移動を妨げ、モビリティ値の低下に反映している。

【0148】実施例1に示した工程の場合、意図的にニッケルの触媒作用を利用しているため、結晶粒界の結晶粒界にはニッケルが偏析していると考えられる。そして、ここではシリコンの不純物結合とニッケルとが結

(11)

10

合し、Si-H₃の如き形態でシリサイド化している予想される。

【01549】そこで本発明者らは、詳細なメカニズムは不明であるが、ニッケルを除去する過程において何らかの理由により結晶粒界のエネルギー障壁が低下すると考えている。例えば、上述の様にシリサイド化した状態でのゲタリング処理を行うと、ニッケルとシリコンとの結合が切れ、近接したシリコンの不同結合同手同士で再結合する様なことが起こっているというモデルも考えられる。

【01550】従って、図13 (B) に示す結果を考慮すると、本発明のゲタリング処理は単に不純物元素を除去する従来のゲタリング処理とは異なり、触媒元素の除去と同時に結晶性半導体の結晶性、特に結晶粒界の整合性を改善する効果をもたらす点で全く新しい技術である。

【01551】また、本発明者らは図11 (E) に示すC MOS回路 (インバータ回路) を奇数段直列に接続し、リングオシレータを試作した。試作したリングオシレータは図14に示すその測定結果からも明らかな様に、電源電圧0~1.6Vで安定に動作し、100Hz近い動作周波数を実現した。また、本発明を利用したリングオシレータの方が高い動作周波数を得ることができた。

【01552】以上の結果から、本発明がTFT特性や半導体回路の特性に対して何ら弊害をもたらさないことが確認できた。

【01553】【実施例4】本実施例では実施例3とは異なる構造のTFTを作製する場合の例について説明する。具体的にはボトムゲイト型TFTの典型的な例である逆スタガ型TFTを作製する例を示す。

【01554】図15 (A) において、41はガラス基板、42は下地膜、43は導電性材料でなるゲイト電極、44はゲイト絶縁膜、45は非晶質珪素膜、46は実施例1と同様の手段で形成したニッケル含有膜である。

【01555】なお、後にフアーネスアニールによって、00~100℃の温度でゲタリング工程が行われるので、その温度に耐えうる材料をゲイト電極43として使用する必要がある。

【01556】次に、結晶化のための加熱処理を行い、結晶性珪素膜47を形成する。加熱処理の条件は実施例1に従えば良い。(図15 (B))

【01557】次に、レジストマスク48を設けてニッケルをゲタリングするための元素 (本実施例もリンを例にとる) を添加する。この工程よりゲタリング領域49、50および被ゲタリング領域51が形成される。(図15 (C))

【01558】次に、ゲタリングのための加熱処理を行い、被ゲタリング領域51内のニッケルをゲタリング領域49、50に矢印の方向に向かって移動させる。こうしてニッケル濃度の低減された結晶性珪素膜 (被

11

ゲタリング領域) 52が得られる。(図15 (D))

【01559】次に、ゲタリング工程によって得られた被ゲタリング領域52をパターンニングして活性層53を形成する。そして、活性層53上に酸化珪素膜をパターンニングして形成されるチャネルストッパー (またはエッチングトッパーと呼ばれる) 54を設ける。(図15 (E))

【01560】図15 (E) の状態が得られたら、N型を呈する結晶性珪素膜を形成してパターンニングを施し、ソース領域55およびドレイン領域56とを形成する。さらに、ソース領域57、ドレイン領域58を形成する。そして、最後に全体の水素化を行って図15 (F) に示す逆スタガ型TFTが完成する。

【01561】【実施例5】実施例3で説明した様に、本発明はオフ電流のバラツキを低減するという大きな効果を有している。そのことは、TFTでもって液晶表示装置等の電気光学装置を形成する際に非常に顕著な効果である。

【01562】従来、オフ電流のバラツキ対策としてマルチゲイト構造が提案されている。マルチゲイト構造とは電気的に短絡した複数のゲイト電極を1つの活性層上に配置し、実質的に複数のゲイトTFTを直列に配列した様な構造のことである。

【01563】そのため、どれか1つのTFTでオフ電流が異常値を示しても他のTFTが正常に動作すればその値で傳達される。即ち、全体としてはオフ電流のバラツキを抑制することができ、なお、ゲイト本数を割やせばその分効果は高まるが、TFTが大型化するというデメリットがある。

【01564】ところで、液晶表示装置の画像表示領域となる画素マトリクス回路ではできる限りオフ電流のバラツキをなくすることが望まれる。そのため、マルチゲイト構造が多く用いられている。その一方で、逆スタガ型液晶表示装置の画素マトリクス回路では高い開口率が必要とされる。

【01565】従って、従来のマルチゲイト構造では開口率を高くするという要求を満足することは困難であった。

【01566】しかしながら、本発明のTFTは非晶質オプ電流のバラツキが小さいため、シングルゲイト構造のTFTでも十分に活用することができ、勿論、マルチゲイト構造においてゲイト本数を減らすのであったも良い。

【01567】従って、本発明を利用することでTFTサイズを小さくしてもオフ電流のバラツキの小さい電気特性が得られる。このことは、画素マトリクス回路の開口率を高くする上で非常に有効である。

【01568】【実施例6】本実施例では本発明を適用したTFTを用いて電気光学装置を構成する場合の例を示す。なお、本実施例ではアクティブマトリクス型液晶装

(12)

12

置装置に適用する例を示すが、他にもアクティブマトリクス型のEL表示装置、EC表示装置等に用いることもできる。

【01569】、図16に示すのはアクティブマトリクス型液晶表示装置の断面を簡略化した図であり、ドライバ回路やロジック回路を構成する領域にはCMOS回路を、画素マトリクス回路を構成する領域には画素TFTを示している。

【01570】なお、実施例3でCMOS回路の構造 (TFT構造) に関する説明を略して行ったので、本実施例では必要な箇所のみを説明することにする。

【01571】まず、実施例3に示したCMOS回路の作製工程に従って、図16の左側のCMOS回路を完成する。この時、画素TFTの構造はCMOS回路を構成するTFTと基本的に同一構造である。勿論、画素TFTのみマルチゲイト構造にしたり、LDD領域の長さを変えたりすることもできるが、その場合は実施者が必要に応じて変更すれば良い。

【01572】CMOS回路の上には有機性樹脂膜でなる層間絶縁膜61が設けられ、その上にはブラックマスク62が配置される。なお、本実施例ではブラックマスク62を画素マトリクス回路の上方に設けているが、CMOS回路の上方に設ける構造としても良い。

【01573】ブラックマスク62上には再び層間絶縁膜63が設けられ、コンタクトホールを設けて画素電極64が配置される。画素電極64は反射型表示装置の場合にはアルミニウム膜の如き反射膜を、透過型表示装置の場合にはITOの如き透明導電膜を用いれば良い。そして、最上層に配向膜65を設けてアクティブマトリクス基板を構成する。アクティブマトリクス基板とはTFTが配置された側の基板を指す。

【01574】また、66は対向基板、67は透明導電膜でなる対向電極、68は対向側の配向膜である。この様な構成の対向基板と上述のアクティブマトリクス基板との間に液晶層69を挟持して図16に示すアクティブマトリクス型液晶表示装置が構成される。

【01575】また、アクティブマトリクス型液晶表示装置の外観を図17に簡略化して示す。図17において、71はガラス基板、72は下地膜、73は画素マトリクス回路、74はソースドレインバード、75はゲイトライバード、76はロジック回路である。

【01576】ロジック回路76は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバードと呼ばれている回路と区別するためにそれ以外の回路を指している。

【01577】【実施例7】本実施例では、本発明を適用する半導体装置の一例として実施例6で示した様な電気光学装置を用いた応用製品について図18を用いて説明する。本発明を利用した半導体装置としてはビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カ

13

ーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話等) などが挙げられる。

【01578】図18 (A) はモバイルコンピュータであり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明は表示装置2005に適用することができる。

【01579】図18 (B) はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明は表示装置2102に適用することができる。

【01580】図18 (C) はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。本発明は表示装置2202に適用することができる。

【01581】図18 (D) は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明は表示装置2304に適用することができる。

【01582】図18 (E) はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明は表示装置2402に適用することができる。

【01583】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【01584】

【発明の効果】本発明を用いることで結晶化を助長する触媒元素を利用して得た結晶性半導体膜中から触媒元素を効率的に除去または低減することができる。また、本発明のゲタリング処理はガラスの耐熱温度 (熔点) 以下の温度で行われるので、従来の低温プロセスを簡便することができる。

【01585】また、本発明を用いて得られた結晶性半導体膜は触媒元素の効果により結晶性が非常に優れ、かつ、ゲタリング処理によりその触媒元素が十分に低減度まで低減されている。そのため、半導体装置の活性層として利用した場合、優れた電気特性と高い信頼性を備えた半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 P元素のドーピングとニッケル濃度の関係を示す図。

【図2】 ゲタリング処理工程を説明するための図。

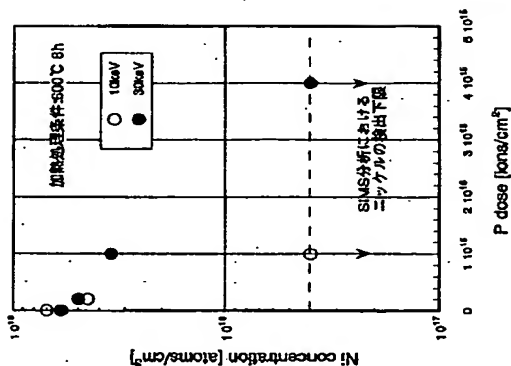
【図3】 ゲタリング処理の時間依存性を示す図。

【図4】 100×100 μmのパターンを示す写真の例

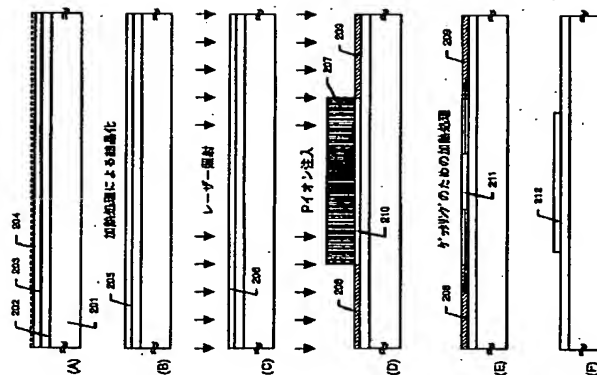
22

- 式図。
 【図5】 ゲッタリング処理時間と偏析密度の関係を
 示す図。
 【図6】 ゲッタリング処理の温度依存性を示す
 図。
 【図7】 ゲッタリング処理温度と偏析密度の関係を
 示す図。
 【図8】 ゲッタリング処理のドーズ条件依存性を示
 す写真。
 【図9】 PおよびBによるゲッタリング効果を示す
 写真。
 【図10】 ゲッタリング処理工程を説明するための
 図。
 【図11】 TFTの作製工程を示す図。
 【図12】 TFTの電気特性を説明するための図。
 【図13】 TFTの電気特性を説明するための図。
 【図14】 リングオシレータの測定結果を示す図。
 【図15】 TFTの作製工程を示す図。
 【図16】 液晶表示装置の断面構造を示す図。

【図1】



【図2】



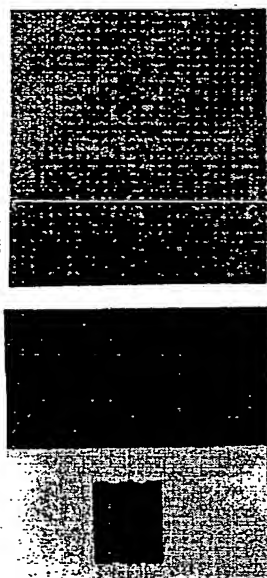
(13)

- 14
 【図17】 アクティブマトリクス基板の構成を示す
 図。
 【図18】 本発明を利用しうる応用製品の一例を示す
 図。
 【符号の説明】
 201 ガラス基板
 202 下地膜
 203 非晶質珪素膜
 204 ニッケル含有膜
 205 結晶性珪素膜
 206 結晶性が改善された結晶性珪素膜
 207 レジストマスク
 208、209 P元素を添加した領域（ゲッタリン
 グ領域）
 210 P元素を添加しない領域（被ゲッタ
 リング領域）
 211 ゲッタリング処理を施した結晶性珪
 素膜
 212 結晶性珪素膜である島状パターン

(14)

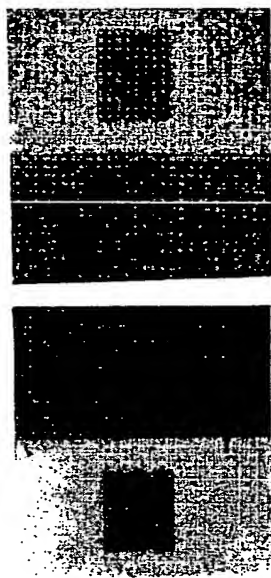
【図3】

図面代用写真



(A)

(D)



(B)

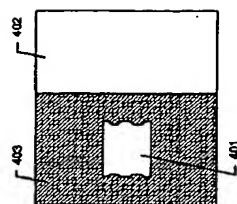
(E)



(C)

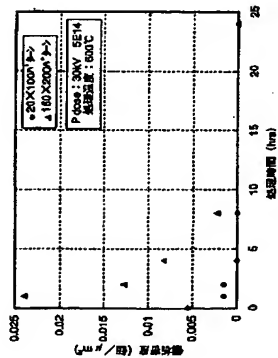
(F)

【図4】

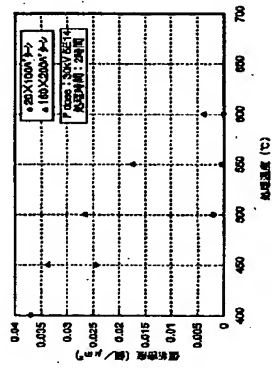


(15)

【図5】

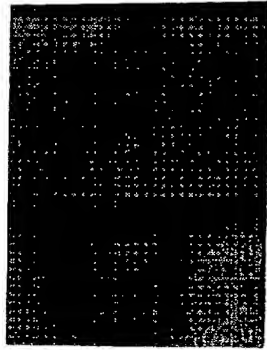


【図7】



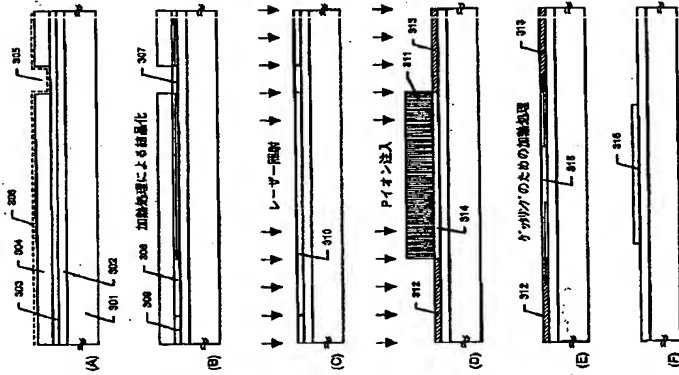
【図9】

図面代用写真

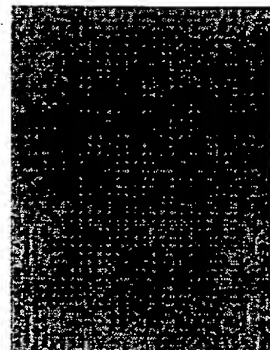


(A)

【図10】



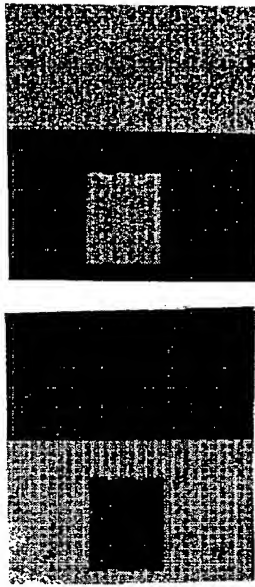
(B)



(16)

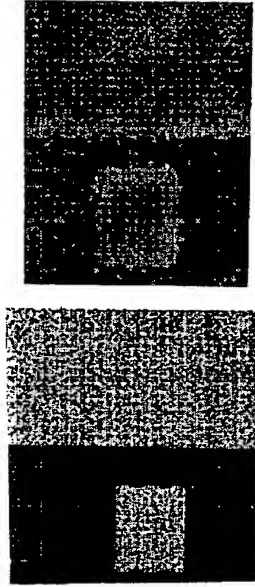
【図6】

図面代用写真



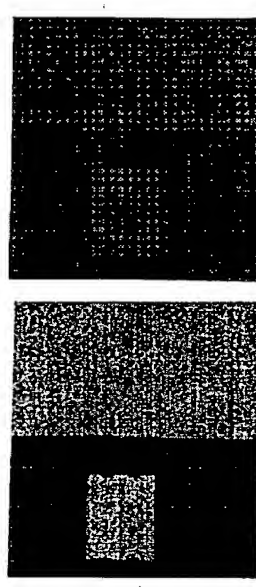
(A)

(D)



(B)

(E)



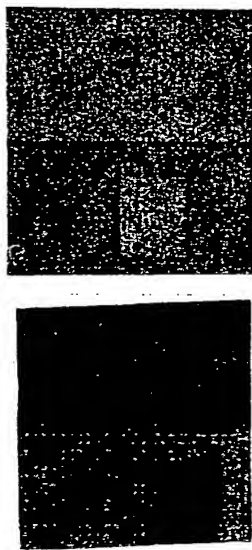
(C)

(F)

(17)

【図8】

図面代用写真



(D)

A)

(B)

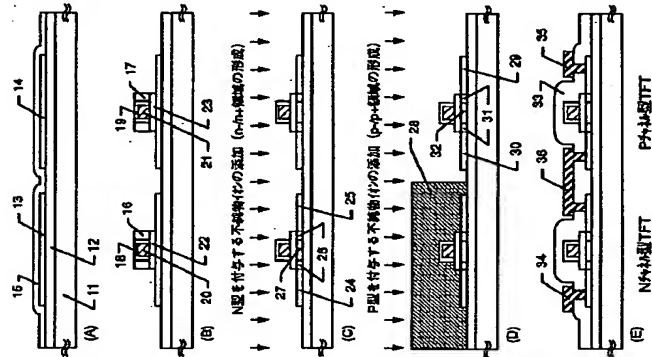
(C)

(E)

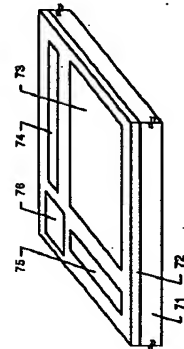
(F)

(18)

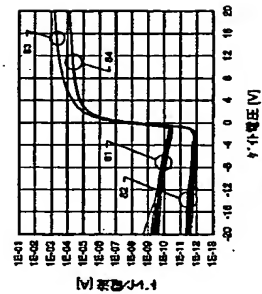
【図11】



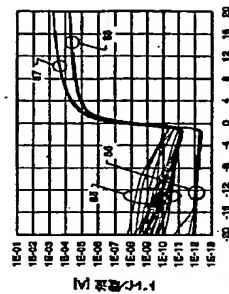
【図17】



【図12】

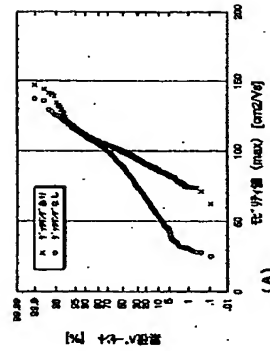


(A) ゲート絶縁層あり (N+型TFT)

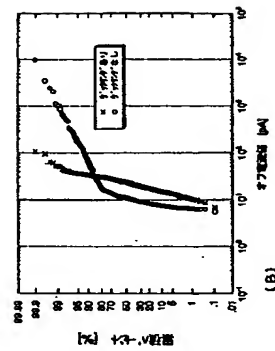


(B) ゲート絶縁層なし (N+型TFT)

【図13】



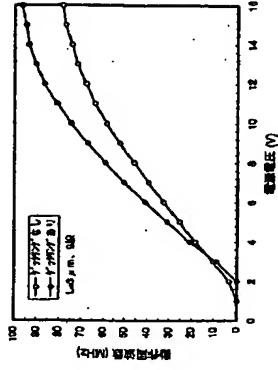
(A)



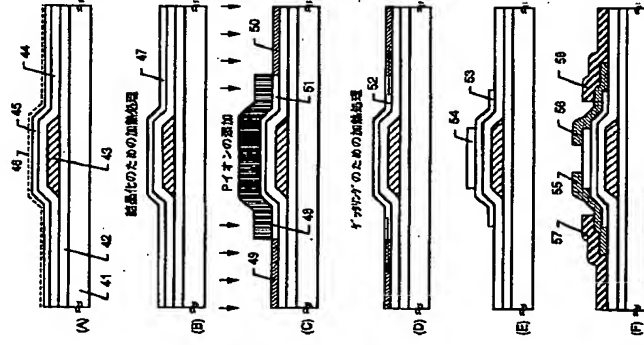
(B)

(11)

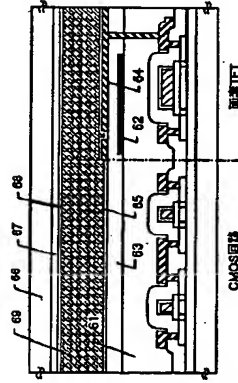
【図14】



【図15】

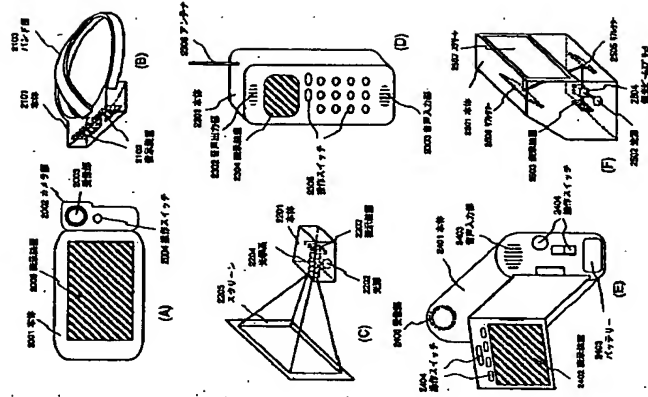


【図16】



(10)

【図18】



フロントページの続き

(11) 発明者 大谷 久
神奈川県厚木市長谷11番地 株式会社半
導体エネルギー研究所内